

Bộ nghịch lưu năm bậc diode kẹp lai mới với nguồn DC phụ

Nguyễn Phước Lộc¹, Bùi Thanh Hiếu¹, Nguyễn Văn Nhò^{2,*}



Use your smartphone to scan this QR code and download this article

TÓM TẮT

Bộ nghịch lưu đa bậc hiện ngày càng thu hút sự quan tâm của các nhà nghiên cứu và giới công nghiệp, trong đó bộ nghịch lưu 3 bậc đã được sử dụng phổ biến trong thực tế. Một trong các vấn đề quan tâm nhất là nghiên cứu nâng số bậc lên nhằm đạt được hiệu quả ứng dụng cao trong thực tế như công suất lớn, điện áp cao và độ méo dạng sóng hài thấp. Các loại cấu hình nghịch lưu đa bậc cơ bản như dạng diode kẹp, dạng tụ kẹp và dạng nối tầng đều có những nhược điểm khi nâng cao số bậc. Để khắc phục vấn đề trên, các cấu trúc nghịch lưu lai được đề nghị. Hệ quả là nhiều bộ nghịch lưu lai 5 bậc đã được thiết kế cho nhiều ứng dụng trong thực tiễn. Bài báo đề xuất cấu trúc lai mới của nghịch lưu 5 bậc diode kẹp bằng cách bổ sung nguồn DC phụ. Cấu trúc nghịch lưu lai đề nghị cho thấy các đặc tính của nó có thể so sánh được với nghịch lưu NPC chứa 4 nguồn DC lý tưởng, và đòi hỏi phần cứng đơn giản hơn so với các bộ nghịch lưu dạng cascade và dạng tụ kẹp. Nó có khả năng tự cân bằng tốt điện áp trên các tụ DC. Nhờ đó, các giải thuật điều khiển PWM phổ biến đơn giản và hiệu quả có thể được vận dụng, cho phép đạt chất lượng hoạt động cao. Nội dung bài báo bao gồm phân tích cấu hình bộ nghịch lưu lai đề xuất, đánh giá khả năng cân bằng điện áp các tụ DC, đánh giá các đặc tính điều khiển và khảo sát đáp ứng của bộ biến đổi khi áp dụng các kỹ thuật điều chế độ rộng xung dùng sóng mang. Việc phân tích và các đặc tính sử dụng của cấu hình đề xuất sẽ được kiểm chứng qua kết quả mô phỏng dùng MATLAB/SIMULINK.

Từ khóa: Bộ nghịch lưu năm bậc Diode kẹp, nguồn DC phụ, kỹ thuật Sine PWM, Cân bằng điện áp DC

GIỚI THIỆU

Bộ nghịch lưu áp chuyển đổi từ áp DC sang áp AC đang được áp dụng rộng rãi trong tất cả các lĩnh vực khác nhau như thiết bị công nghiệp, hệ thống năng lượng điện và năng lượng tái tạo. Từ khi ra đời, các bộ nghịch lưu hai bậc đã sớm được đưa vào áp dụng trong thực tế.

Trong thực tiễn, nhiều ứng dụng công nghiệp đòi hỏi công suất lớn, điện áp cao và các yêu cầu chất lượng cao như độ méo dạng sóng hài nhỏ, giảm thiểu ảnh hưởng điện áp common mode. Bộ nghịch lưu hai bậc truyền thống không còn phù hợp cho nhiều ứng dụng nêu trên. Do đó, cấu trúc bộ nghịch lưu đa bậc đã được giới thiệu như một giải pháp thay thế¹⁻⁷.

Ra đời từ những năm 1981, bộ nghịch ba bậc đã trở nên ngày càng sử dụng rộng rãi với phạm vi công suất từ nhỏ 1KW đến nhiều MW. Trong thực tế, có 3 cấu trúc nghịch lưu đa bậc cơ bản thường được nghiên cứu và ứng dụng là bộ nghịch lưu đa bậc diode kẹp (NPC), bộ nghịch lưu đa bậc dạng nối tầng (Cascade) và BNL đa bậc dạng tụ kẹp (FLC)^{1,2}. Cấu trúc nghịch lưu 5 bậc cascade đòi hỏi sử dụng nhiều bộ nguồn DC độc lập nên không hiệu quả trong nhiều ứng dụng. Cấu trúc tụ kẹp FLC 5 bậc dùng 1 nguồn DC nhưng lại phải trang bị 9 tụ điện có các mức áp khác nhau.

Do đó, mạch phần cứng công kênh và tổn kém. Bài toán cân bằng điện áp đồng thời của các tụ DC này cũng là vấn đề phức tạp. Do đó, bộ nghịch lưu NPC thường được ứng dụng trong thực tiễn. Trong thực tế, các bộ nghịch lưu diode kẹp 3 bậc đã được ứng dụng phổ biến với nhiều cấu hình khác nhau như bộ nghịch lưu diode kẹp truyền thống (NPC), bộ nghịch lưu 3 bậc dạng T-type (T-type NPC) và nghịch lưu 3 bậc có nhánh nối trung tính điều khiển (Active NPC). Những năm gần đây, nhiều phòng thí nghiệm nghiên cứu và công ty công nghiệp quan tâm đến các bộ nghịch lưu có số bậc lớn hơn 3, trọng tâm là các bộ nghịch lưu bậc lẻ thấp 5,7,9.⁸⁻¹³ Các bộ nghịch lưu bậc chẵn được nghiên cứu ở mức độ ít hơn, một phần nó không có khả năng đặc biệt như bộ nghịch lưu bậc lẻ, chẳng hạn chúng không thể triệt tiêu điện áp common mode¹⁴⁻¹⁶. Ngoài ra, các nghiên cứu của chúng vẫn còn nhiều vấn đề chưa giải quyết trọn vẹn liên quan đến cân bằng điện áp các tụ DC, hoặc không có cấu hình tương đương dạng cascade.

Vấn đề đầu tiên của ứng dụng thực tế là chọn cấu trúc đa bậc phù hợp, đảm bảo thiết bị hoạt động ổn định và hiệu quả. Các cấu trúc 5 bậc dùng nhiều nguồn DC không đổi như bộ nghịch lưu NPC với 4 nguồn áp trên Hình 1a hoặc BNL Cascade với 6 nguồn áp, sẽ công kênh và tổn kém. Cấu trúc mạch NPC 5 bậc trên

¹Khoa Điện - Điện tử, Trường Đại học Sư phạm Kỹ thuật Vĩnh Long, Việt Nam

²Khoa Điện - Điện tử, Trường Đại học Bách Khoa, ĐHQG-HCM, Việt Nam

Liên hệ

Nguyễn Văn Nhò, Khoa Điện - Điện tử, Trường Đại học Bách Khoa, ĐHQG-HCM, Việt Nam

Email: nvno@hcmut.edu.vn

Lịch sử

- Ngày nhận: 09-9-2021
- Ngày chấp nhận: 16-11-2021
- Ngày đăng: 25-12-2021

DOI : 10.32508/stdjet.v4i4.915



Bản quyền

© ĐHQG Tp.HCM. Đây là bài báo công bố mở được phát hành theo các điều khoản của the Creative Commons Attribution 4.0 International license.



Trích dẫn bài báo này: Lộc N P, Hiếu B T, Nhò N V. Bộ nghịch lưu năm bậc diode kẹp lai mới với nguồn DC phụ. *Sci. Tech. Dev. J. - Eng. Tech.*; 4(4):1239-1253.

Hình 1b với một nguồn DC được chia áp bằng 4 tụ DC nối tiếp có cấu trúc đơn giản nhất. Tuy nhiên, BNL này gặp phải vấn đề mất cân bằng áp trên các tụ khi áp dụng các kỹ thuật điều khiển PWM thông thường. Điều này có thể dẫn đến quá áp làm hỏng các linh kiện. Vì lý do đó, một số giải pháp được đưa ra như bổ sung các mạch trang bị khóa bán dẫn và phụ kiện (L, C) để điều khiển ổn định điện áp các tụ¹⁷⁻¹⁹. Các phương pháp thêm mạch phần cứng này làm tăng chi phí, kích thước hệ thống và giảm độ tin cậy hệ thống khi hoạt động. Phương án khác kinh tế hơn, là áp dụng giải thuật điều khiển có yêu cầu cân bằng áp các tụ, chẳng hạn sử dụng kỹ thuật PWM với các vector ảo (virtual vectors)²⁰⁻²³. Điểm đặc biệt chung của các giải thuật này là thuật toán phức tạp, cần đưa vào các vector xa (far vector) nên làm tăng độ méo dạng áp ra, tăng áp lực điện áp (voltage stress), tăng tổn hao chuyển mạch và khó có thể giải quyết bài toán khử ảnh hưởng điện áp common mode và dòng rò. Hiện nay, một xu thế hiện đang áp dụng các phương pháp điều khiển dự báo (Model Predictive Control). Tuy nhiên, đối với nghịch lưu bậc cao có số biến trạng thái đóng ngắt khá lớn và nhiều biến trạng thái áp tụ, thì thuật toán MPC sẽ khó thực hiện online và cần có những điều chỉnh phù hợp tùy theo ứng dụng cụ thể^{15,24,25}. Một giải pháp dung hòa trong nghiên cứu bộ nghịch lưu bậc cao là thiết kế các bộ nghịch lưu lai. Các bộ nghịch lưu lai đa bậc có thể ở dạng kết hợp trong một nhánh pha các phần tử cơ bản (2 Level, 3 Level NPC, T-Type NPC, FLC, cascade), hoặc cấu hình đa bậc gồm nhiều modul cơ bản nối tiếp sử dụng nhiều nguồn DC khác nhau, hoặc kết hợp cấu hình các bộ nghịch lưu dạng nối tiếp, song song, hoặc dạng có tải hở (Open End Winding-OEW). Các cấu hình lai này hướng đến mục tiêu tăng số bậc, hoặc ổn định áp các tụ, hoặc giảm số linh kiện để hạ giá thành²⁶⁻³³. Bài báo này đề xuất cấu trúc nghịch lưu 5 bậc lai mới gồm bộ nghịch lưu 5 bậc NPC truyền thống trang bị thêm 1 nguồn DC. Mục tiêu của giải pháp này nhằm điều khiển các kỹ thuật PWM thông thường vẫn đạt chất lượng cao như độ méo dạng sóng hài ngõ ra thấp, hiệu suất hoạt động cao do ít chuyển mạch, có thể điều khiển dễ dàng xử lý nhiễu common mode và dòng rò. Điều này đạt được nhờ vị trí lắp nguồn bổ sung cho phép các điện áp trên các tụ DC tự cân bằng trong quá trình hoạt động. Cấu trúc này cũng phù hợp khi có thể tận dụng các nguồn DC có sẵn cho sơ đồ thiết kế hoặc dùng trong PV. So với cấu trúc Cascade 5 bậc, cấu trúc này chứa ít nguồn DC hơn và so với BNL FLC 5 bậc thì cấu trúc này đảm bảo áp DC các tụ ổn định, điều khiển đơn giản. Nội dung bài báo ở các phần tiếp theo bao gồm giới thiệu các cấu hình mới của bộ nghịch lưu NPC có nguồn bổ sung ở phần 2, phân tích

mạch hệ thống ở phần 3, mô phỏng và đánh giá các kết quả ở phần 4, và kết luận ở phần cuối.

ĐỀ XUẤT CẤU HÌNH BỘ NGHỊCH LƯU NPC 5 BẬC MỚI

Các sơ đồ 1 nhánh pha bộ nghịch lưu 5 bậc NPC đầu vào nguồn DC được mô tả trên Hình 1. Trong đó, cấu trúc 1 là cấu trúc cơ bản với điện áp DC tổng được thực hiện bằng ghép nối tiếp 4 nguồn DC không đổi bằng $V_d/4$. Cấu trúc này giá thành cao, chỉ thích hợp khi hệ thống có sẵn các modul nguồn DC như acquy, pin điện.

Cấu trúc 2 là cấu trúc tiết kiệm có 1 nguồn DC. Để tạo 5 mức điện áp, một bộ tụ điện ghép nối tiếp 4 tụ $C_1 = C_2 = C_3 = C_4$ và đấu song song với nguồn DC. Cấu trúc 3, 4, 5 là các cấu trúc NPC 5 bậc để nghị xem xét. Trong đó, cấu trúc 3 sử dụng một nguồn DC chính có độ lớn V_d và một nguồn DC phụ có độ lớn bằng $V_d/2$. Cấu trúc 4 sử dụng 2 nguồn DC có độ lớn bằng nhau có giá trị $3V_d/4$. Cấu trúc 5 sử dụng 2 nguồn DC bằng nhau có độ lớn $V_d/2$.

Việc đánh giá hiệu quả sử dụng các cấu trúc đề xuất 3, 4, 5 sẽ thực hiện trên cơ sở áp dụng kỹ thuật sóng mang SinPWM. Các tiêu chí đặt ra là sự cân bằng áp các tụ, đặc tính điều khiển độ méo dạng sóng hài của áp tải và so sánh đặc tính BNL 5 bậc đề xuất với BNL 5 bậc nguồn DC lý tưởng.

PHƯƠNG PHÁP ĐIỀU CHẾ SÓNG MANG CHO BỘ NGHỊCH LƯU 5 BẬC MỚI

Giải tích mạch điện nghịch lưu đề xuất

Xét cấu trúc BNL 5 bậc NPC được vẽ chi tiết trên như Hình 2. Gọi V_d là điện áp nguồn DC tổng và $S_{x1}, S_{x2}, S_{x3}, S_{x4}$ là các khoá bán dẫn nửa nhánh trên, $S'_{x1}, S'_{x2}, S'_{x3}, S'_{x4}$ là các khoá bán dẫn nửa nhánh dưới.

Qui luật đóng ngắt các khoá thoả điều kiện đối nghịch:

Với

$$S_{xj} + S'_{xj} = 1 \quad (1)$$

$$0 \leq S_{xj} \leq 1; 0 \leq S'_{xj} \leq 1; j = 1, 2, 3, 4; x = a, b, c.$$

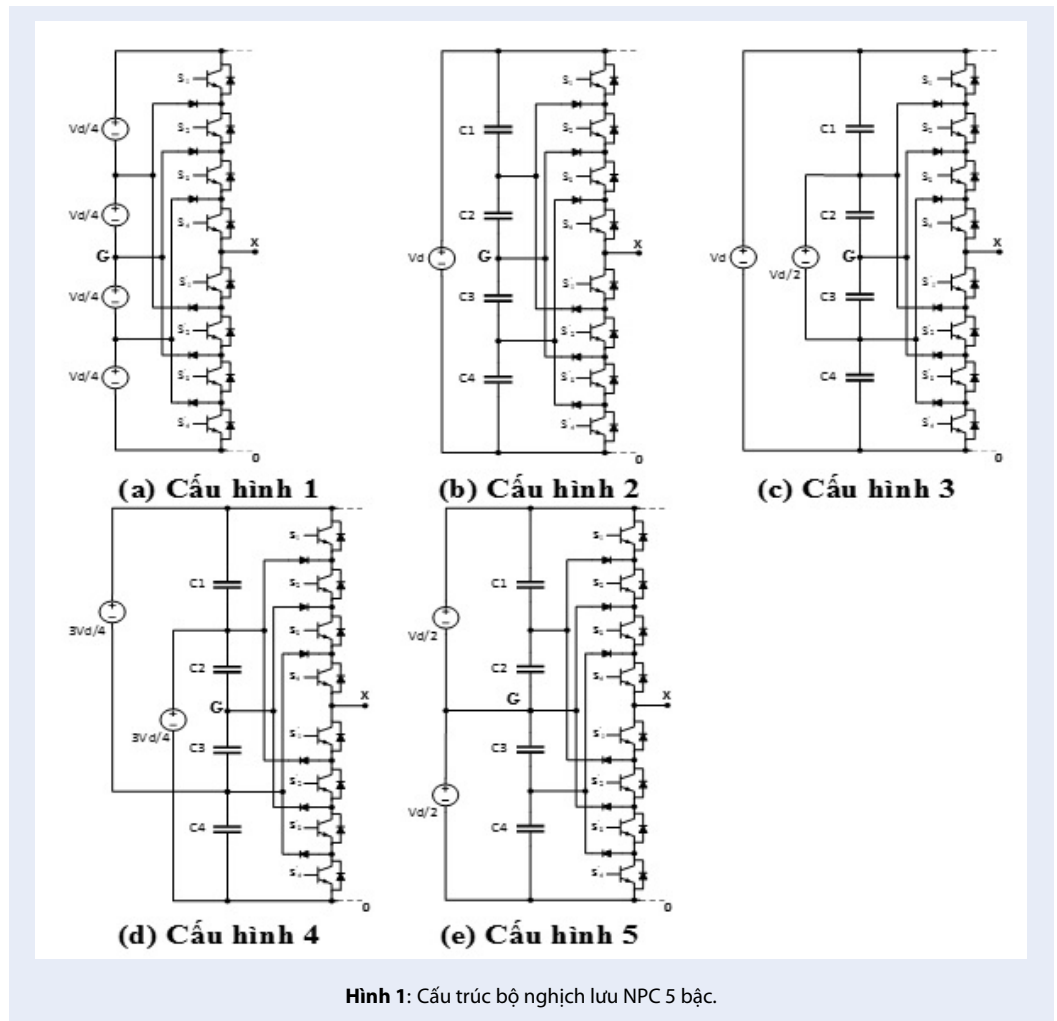
Điện áp nhánh xác định giữa ngõ ra X với điểm cực âm 0 của nguồn, có thể biểu diễn như sau:

$$v_{X0} = (S_{x1} + S_{x2} + S_{x3} + S_{x4}) \times \frac{V_d}{4} \quad (2)$$

Các hệ thức (1) và (2) áp dụng cho các pha a, b, c.

Kết quả phân tích mạch cho phép xây dựng bảng trạng thái đóng ngắt như Bảng 1.

Ở đây, trạng thái các khoá thoả điều kiện $0 \leq S_{x1} \leq S_{x2} \leq S_{x3} \leq S_{x4} \leq 1$.



Bảng 1: Trạng thái đóng ngắt của bnl 5 bậc npc

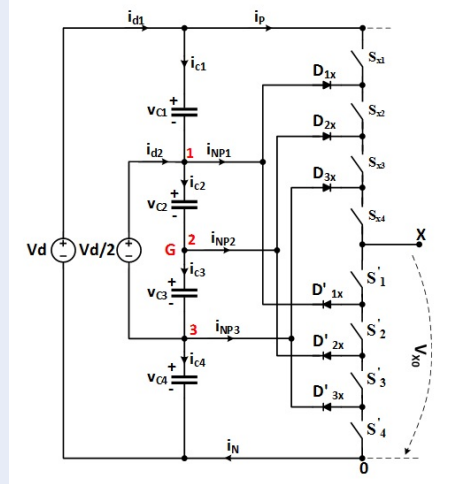
S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{x0}
1	1	1	1	V_d
0	1	1	1	$3V_d/4$
0	0	1	1	$V_d/2$
0	0	0	1	$V_d/4$
0	0	0	0	0

Phân tích mạch điện có thể dựa theo các trạng thái đóng ngắt ở Bảng 1, trong đó các phương trình cơ bản áp dụng chung như sau:

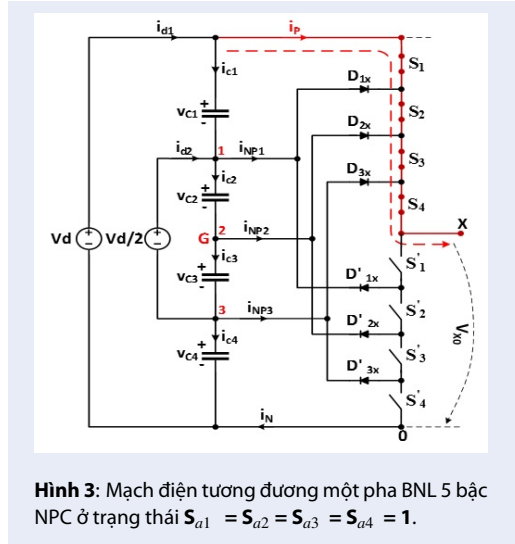
$$\begin{cases} v_{c1} + v_{c2} + v_{c3} + v_{c4} = V_d \\ v_{c2} + v_{c3} = V_d/2 \end{cases} \quad (3)$$

$$\begin{cases} i_{c1} + i_{d2} - i_{c2} - i_{NP1} = 0 \\ i_{c2} - i_{c3} - i_{NP2} = 0 \\ i_{c3} - i_{d2} - i_{NP3} = 0 \end{cases} \quad (4)$$

$$\begin{cases} i_{c1} = C_1 \times \frac{dv_{c1}}{dt} \\ i_{c2} = C_2 \times \frac{dv_{c2}}{dt} \\ i_{c3} = C_3 \times \frac{dv_{c3}}{dt} \\ i_{c4} = C_4 \times \frac{dv_{c4}}{dt} \end{cases} \quad (5)$$



Hình 2: Mạch điện một pha BNL 5 bậc NPC.



Hình 3: Mạch điện tương đương một pha BNL 5 bậc NPC ở trạng thái $S_{a1} = S_{a2} = S_{a3} = S_{a4} = 1$.

$$\begin{aligned} i_{NP1} &= i_{NP1a} + i_{NP1b} + i_{NP1c} \\ i_{NP2} &= i_{NP2a} + i_{NP2b} + i_{NP2c} \\ i_{NP3} &= i_{NP3a} + i_{NP3b} + i_{NP3c} \end{aligned} \quad (6)$$

Trong đó:

- $v_{c1}, v_{c2}, v_{c3}, v_{c4}$: Điện áp tức thời trên các tụ C_1, C_2, C_3, C_4 .
- $i_{c1}, i_{c2}, i_{c3}, i_{c4}$: Dòng điện tức thời trên các tụ C_1, C_2, C_3, C_4 .
- i_{d1}, i_{d2} : Dòng điện tức thời của nguồn chính và nguồn phụ.
- $i_{NP1}, i_{NP2}, i_{NP3}$: Dòng điện tức thời điểm trung tính 1, 2, 3 đi đến tải.
- $i_{NP1a}, i_{NP1b}, i_{NP1c}$: Dòng điện tức thời từ điểm trung tính 1 đi vào các nhánh pha a, b, c ở trạng thái $S_{x1}=0; S_{x2} = S_{x3} = S_{x4} = 1$.
- $i_{NP2a}, i_{NP2b}, i_{NP2c}$: Dòng điện tức thời từ điểm trung tính 2 đi vào các nhánh pha a, b, c ở trạng thái $S_{x1} = S_{x2} = 0; S_{x3} = S_{x4} = 1$
- $i_{NP3a}, i_{NP3b}, i_{NP3c}$: Dòng điện tức thời từ điểm trung tính 3 đi vào các nhánh pha a, b, c ở trạng thái $S_{x1} = S_{x2} = S_{x3} = 0; S_{x4} = 1$

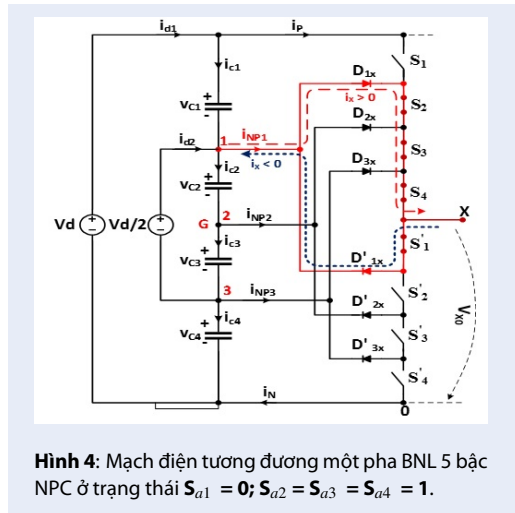
Phần tiếp theo mô tả các phương trình mạch của nhánh pha X trong từng trạng thái.

+ Trạng thái 1: $S_{x1} = S_{x2} = S_{x3} = S_{x4} = 1$

Các phương trình điện áp và dòng điện dựa theo Hình 3, $x = a, b, c$:

$$\begin{aligned} V_{X0} &= (S_{x1} + S_{x2} + S_{x3} + S_{x4}) \times \frac{V_d}{4} = V_d \\ i_{NP1x} &= 0 \\ i_{NP2x} &= 0 \\ i_{NP3x} &= 0 \\ i_{Px} &= i_x \end{aligned} \quad (7)$$

+ Trạng thái 2: $S_{x1}=0; S_{x2} = S_{x3} = S_{x4} = 1$

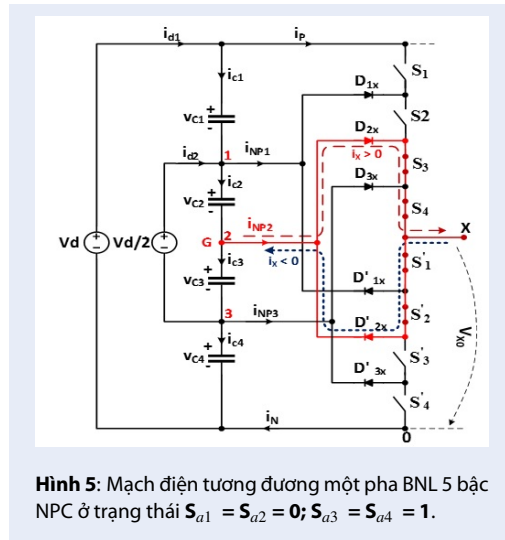


Hình 4: Mạch điện tương đương một pha BNL 5 bậc NPC ở trạng thái $S_{a1} = 0; S_{a2} = S_{a3} = S_{a4} = 1$.

Các phương trình điện áp và dòng điện dựa theo sơ đồ Hình 4:

$$\begin{aligned} V_{X0} &= (S_{x1} + S_{x2} + S_{x3} + S_{x4}) \times \frac{V_d}{4} = \frac{3V_d}{4} \\ i_{NP1x} &= i_x \\ i_{NP2x} &= 0 \\ i_{NP3x} &= 0 \\ i_{Px} &= 0 \end{aligned} \quad (8)$$

+ Trạng thái 3: $S_{x1} = S_{x2} = 0; S_{x3} = S_{x4} = 1$

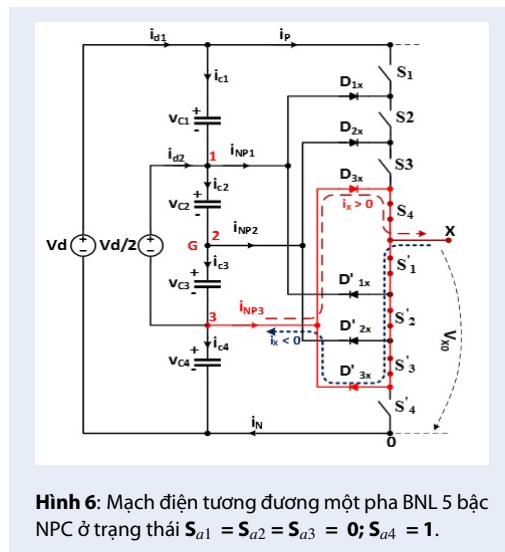


Hình 5: Mạch điện tương đương một pha BNL 5 bậc NPC ở trạng thái $S_{a1} = S_{a2} = 0; S_{a3} = S_{a4} = 1$.

Các phương trình điện áp và dòng điện dựa theo sơ đồ Hình 5:

$$\begin{aligned} V_{X0} &= (S_{x1} + S_{x2} + S_{x3} + S_{x4}) \times \frac{V_d}{4} = \frac{V_d}{2} \\ i_{NP1x} &= 0 \\ i_{NP2x} &= i_x \\ i_{NP3x} &= 0 \\ i_{Px} &= 0 \end{aligned}$$

+ Trạng thái 4: $S_{x1} = S_{x2} = S_{x3} = 0; S_{x4} = 1$

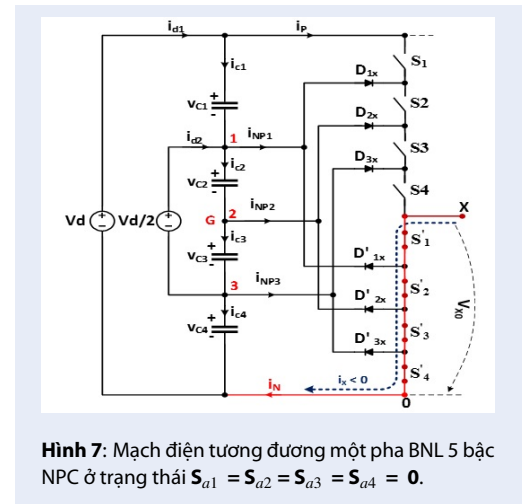


Hình 6: Mạch điện tương đương một pha BNL 5 bậc NPC ở trạng thái $S_{a1} = S_{a2} = S_{a3} = 0; S_{a4} = 1$.

Các phương trình điện áp và dòng điện theo sơ đồ Hình 6:

$$\begin{aligned} V_{X0} &= (S_{x1} + S_{x2} + S_{x3} + S_{x4}) \times \frac{V_d}{4} = \frac{V_d}{4} \\ i_{NP1x} &= 0 \\ i_{NP2x} &= 0 \\ i_{NP3x} &= i_x \\ i_{Px} &= 0 \end{aligned} \quad (10)$$

+ Trạng thái 5: $S_{x1} = S_{x2} = S_{x3} = S_{x4} = 0$



Hình 7: Mạch điện tương đương một pha BNL 5 bậc NPC ở trạng thái $S_{a1} = S_{a2} = S_{a3} = S_{a4} = 0$.

(9) Các phương trình điện áp và dòng điện theo sơ đồ Hình 7:

$$\begin{aligned} V_{X0} &= 0 \\ i_{NP1x} &= 0 \\ i_{NP2x} &= 0 \\ i_{NP3x} &= 0 \\ i_{Px} &= 0 \end{aligned} \quad (11)$$

Phương pháp điều chế sóng mang

Kỹ thuật điều chế sóng mang phổ biến áp dụng cho bộ nghịch lưu 5 bậc được mô tả trên Hình 8a.

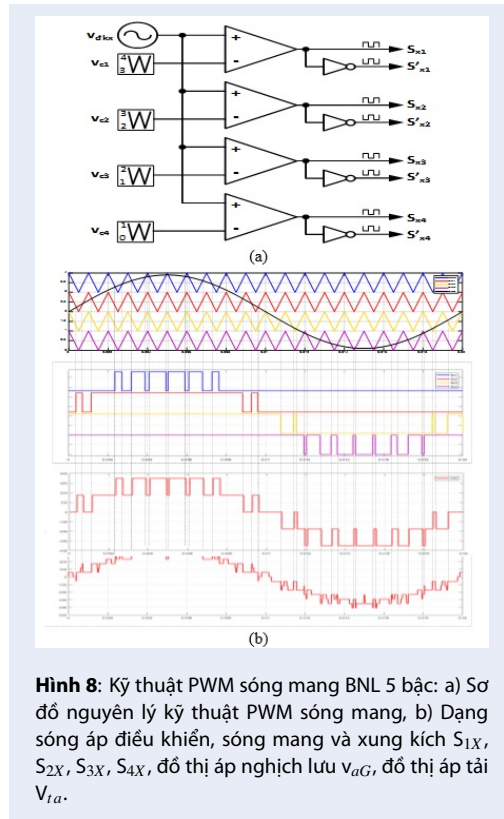
Sóng điều khiển V_{dkx} tỉ lệ với điện áp nhánh pha, được so sánh với 4 sóng mang cùng pha, có độ lớn lệch nhau một đơn vị như mô tả ở Hình 8b, thỏa mãn: $0 \leq v_{c4} \leq 1, 1 \leq v_{c3} \leq 2, 2 \leq v_{c2} \leq 3, 3 \leq v_{c1} \leq 4$.

Hàm sóng điều khiển được tính toán dựa vào tích phân trung bình hàm điện áp nhánh (2) trong chu kỳ sóng mang như sau:

$$V_{dkx} = \frac{V_{X0}}{V_d/4} \quad (12)$$

Điện áp nhánh V_{X0} có thể biểu diễn qua độ lớn áp yêu cầu 3 pha tải V_a^*, V_b^*, V_c^* và điện áp offset V_0 như sau:

$$\begin{cases} V_{a0} = V_a^* + V_0 \\ V_{b0} = V_b^* + V_0 \\ V_{c0} = V_c^* + V_0 \end{cases} \quad (13)$$



Hình 8: Kỹ thuật PWM sóng mang BNL 5 bậc: a) Sơ đồ nguyên lý kỹ thuật PWM sóng mang, b) Dạng sóng áp điều khiển, sóng mang và xung kích S_{1X} , S_{2X} , S_{3X} , S_{4X} , đồ thị áp nghịch lưu v_{aG} , đồ thị áp tải V_{1a} .

Trong đó, với kỹ thuật SinPWM:

$$V_0 = V_d/2 \tag{14}$$

$$\begin{cases} V_a^* = V_m \times \cos \theta \\ V_b^* = V_m \times \cos \left(\theta - \frac{2\pi}{3} \right) \\ V_c^* = V_m \times \cos \left(\theta - \frac{4\pi}{3} \right) \end{cases} \tag{15}$$

V_m là biên độ điện áp pha tải.

Kết quả điện áp điều khiển được mô tả ở dạng rút gọn:

$$\begin{cases} v_{dka} = \frac{V_a^*}{V_d/4} + 2 \\ v_{dkb} = \frac{V_b^*}{V_d/4} + 2 \\ v_{dkc} = \frac{V_c^*}{V_d/4} + 2 \end{cases} \tag{16}$$

KẾT QUẢ MÔ PHỎNG VÀ THẢO LUẬN

Mô hình mô BNL 5 bậc NPC được thiết lập bằng phần mềm Matlab/Simulink, để đánh giá tính khả thi của cấu trúc đề xuất. Các tham số mô phỏng được cài đặt như Bảng 2.

Các giá trị tụ điện được chọn $C_1 = C_2 = C_3 = C_4$ dựa vào giá trị điện áp lớn nhất trên các tụ điện V_c , độ gợn điện áp trên tụ điện ΔV_c , biên độ dòng tải I_{IX} và tần số f điện áp nạp tụ điện

$$C = \frac{\Delta V_c}{V_c} \times \frac{I_{IX}}{f}, \quad V_c = \frac{V_d}{n-1} \\ \Rightarrow C = \frac{1}{700/4} \times \frac{14,6}{50} \approx 1700 \text{ } (\mu F)$$

Chọn tụ có dung lượng $C = 1700 \mu F$.

Bảng 2: Tham số mô phỏng bộ nghịch lưu NPC 5 bậc

Ký hiệu	Tên đại lượng	Giá trị
P_{dm}	Công suất định mức	5 KW
U_{dm}	Điện áp định mức	380 V
V_d	Điện áp DC	700V
R	Điện trở phụ tải	15 Ω
L	Điện kháng phụ tải	20 mH
$\cos\varphi$	Hệ số công suất	0.92
C	Điện dung tụ điện	1700mF
f	Tần số cơ bản ngõ ra	50 Hz
f_c	Tần số sóng mang	5 Khz

Mô phỏng quá trình quá độ của điện áp các tụ điện DC.

Sự ổn định điện áp trên các tụ điện DC là mục tiêu quan trọng của cấu hình đề xuất. Mô phỏng bộ nghịch lưu NPC 5 bậc cấu trúc 3 (Hình 1c) được thực hiện với các tham số như Bảng 2.

Với $m=0.2$, kết quả mô phỏng quá độ điện áp trên 4 tụ C_1, C_2, C_3, C_4 ; điện áp và dòng điện ngõ ra được mô tả như Hình 9a,b.

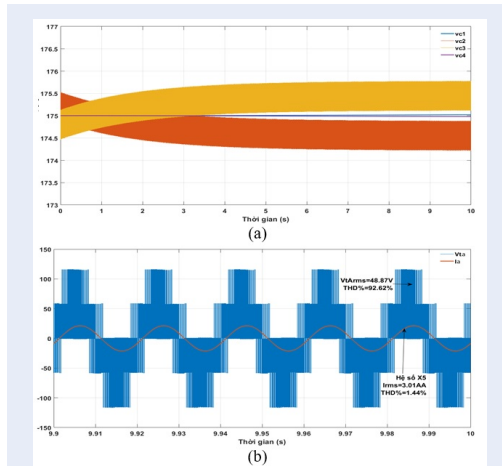
Kết quả trên Hình 9a cho thấy điện áp trên tụ C_1 và C_4 gần bằng giá trị danh định 175V, điện áp tụ $V_{C2}=174.3V$, điện áp tụ $V_{C3}=175.7V$, thời gian quá độ 5s. Sai số điện áp lớn nhất $\Delta V=0.4\%$. Trên Hình 9b là quá trình điện áp và dòng điện tải. Do áp trên các tụ DC gần như không đổi, dòng điện tải có dạng sin.

Trên Hình 10 a,b mô tả các kết quả tương tự khi thực hiện mô phỏng cho trường hợp $m=0.8$

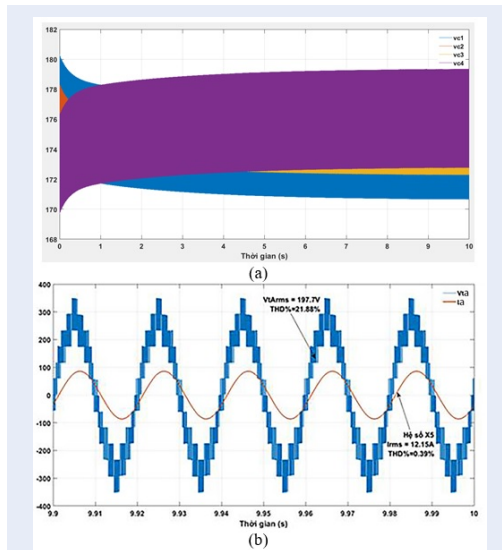
Kết quả trên Hình 10a cho thấy điện áp trên tụ $V_{C1}=170.6V$, $V_{C2}=174.8V$, $V_{C3}=175.2V$ và $V_{C4}=179.4V$ gần bằng giá trị danh định 175V, thời gian quá độ 5s. Sai số điện áp lớn nhất $\Delta V=2.5\%$.

So sánh sự ổn định điện áp các tụ của các sơ đồ 5 bậc NPC lai

Lần lượt áp dụng kỹ thuật SinPWM cho trường hợp $m = 0.8$ với giá trị áp ban đầu ($t_0 = 0$) trên mỗi tụ



Hình 9: Kết quả mô phỏng quá độ BNL NPC 5 bậc cấu trúc 3 ở chỉ số điều chế $m=0.2$: a) Quá độ điện áp trên tụ C_1, C_2, C_3, C_4 , b) Đồ thị áp tải V_{ta} và dòng tải I_n .



Hình 10: Kết quả mô phỏng quá độ BNL NPC 5 bậc cấu trúc 3 ở chỉ số điều chế $m=0.8$: a) Quá độ điện áp trên tụ C_1, C_2, C_3, C_4 , b) Đồ thị áp tải V_{ta} và dòng tải I_n .

bằng $V_d/4 = 175V$. Kết quả mô phỏng điện áp trên 4 tụ C_1, C_2, C_3, C_4 cho các cấu trúc 2, 3, 4, 5 thì giá trị áp trên các tụ ở trạng thái xác lập thu được trình bày trên Hình 11.

Kết quả mô phỏng cho thấy, cấu trúc 2, 4, 5 có điện áp tụ không thể duy trì cân bằng ở chế độ xác lập do một vài tụ có áp xả đến mức 0. Cụ thể, cấu trúc 2 có áp $V_{c1} = 349.3V, V_{c4} = 350.7V, V_{c2}$ và V_{c3} giảm đến 0. Ở cấu trúc 4, áp $V_{c1} = 524.8V, V_{c4} = 524.7, V_{c2}$ và

V_{c3} giảm đến 0. Ở cấu trúc 5, áp $V_{c1} = V_{c4} = 350V, V_{c2}$ và V_{c3} giảm đến 0.

Quá trình tự cân bằng áp sau quá độ được ghi nhận ở cấu hình 3. Giá trị điện áp trên các tụ duy trì gần nhau, không thay đổi trong suốt thời gian khảo sát. Bằng cách mô phỏng cho các trường hợp khác nhau của chỉ số điều chế $m=0.1-0.866$, kết quả điện áp các tụ cân bằng áp tốt đẹp xảy ra cho mọi chỉ số điều chế và được ghi nhận ở Bảng 3 và minh họa trên Hình 12. Độ sai biệt ΔV_c trong toàn phạm vi m được ghi nhận không vượt quá giá trị $\Delta V_{cmax} = 4.4 V$. Do đó, có thể kết luận rằng cấu hình 3 sử dụng nguồn phụ $V_{Aux} = V_d/2$ có lợi thế duy trì cân bằng áp trên các tụ khi áp dụng kỹ thuật SinPWM trong toàn phạm vi hoạt động của áp ngõ ra.

Đánh giá và so sánh chất lượng của cấu trúc 3 với cấu trúc 1

Trong phần tiếp theo, chất lượng đáp ứng của cấu trúc 3 sẽ được đánh giá, đồng thời so sánh với chất lượng của cấu trúc 1 khi áp dụng kỹ thuật Sin PWM dùng sóng mang. Kết quả khảo sát độ méo dạng sóng hài điện áp và dòng điện tải khi áp dụng kỹ thuật SinPWM được mô tả trên Bảng 4 và 5 và so sánh trên đồ thị Hình 13.

Độ méo dạng áp cấu trúc 3 có giá trị giảm trong phạm vi $m=0.1 \rightarrow 0.866$. Giá trị THD_V thấp nhất bằng 18.29% khi $m = 0.866$. Đồ thị THD_V của cấu trúc 3 bám sát với đồ thị THD_V của cấu trúc 1 như mô tả trên Hình 13b. Tại $m = 0.1$ THD_V của cấu trúc 3 bằng 168.58% so với 168.58% của cấu trúc 1, sai biệt này là 0%.

Khảo sát đồ thị THD_V, THD_I của cấu trúc 3 cho thấy, kết quả tương tự THD_V, THD_I của cấu trúc 1 như mô tả trên Hình 13d. Ví dụ, tại $m=0.1$, thì THD_I cấu trúc 3 là 2.29%, của cấu trúc 1 là 2.29%, sai biệt là 0%.

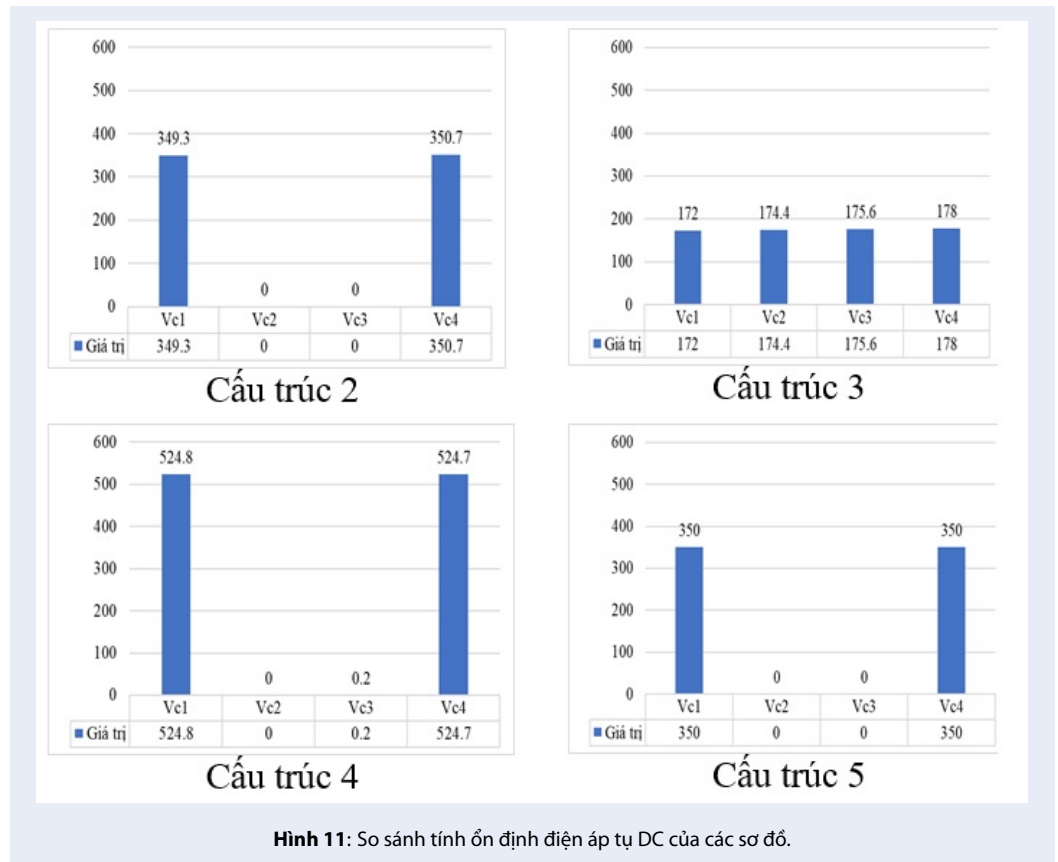
Đặc tuyến điều khiển mô tả quan hệ biên độ hài cơ bản áp tải theo chỉ số điều chế thu được từ mô phỏng và mô tả trên Bảng 4 và 5 và Hình 13 cho thấy hai cấu hình 1 và 3 đều có dạng tuyến tính như nhau.

Kết quả khảo sát mở rộng cấu trúc 3 bằng phương pháp PWM với Offset trung bình

Trong phần khảo sát này, chất lượng đáp ứng của cấu trúc 3 sẽ được đánh giá khi áp dụng kỹ thuật Offset trung bình.

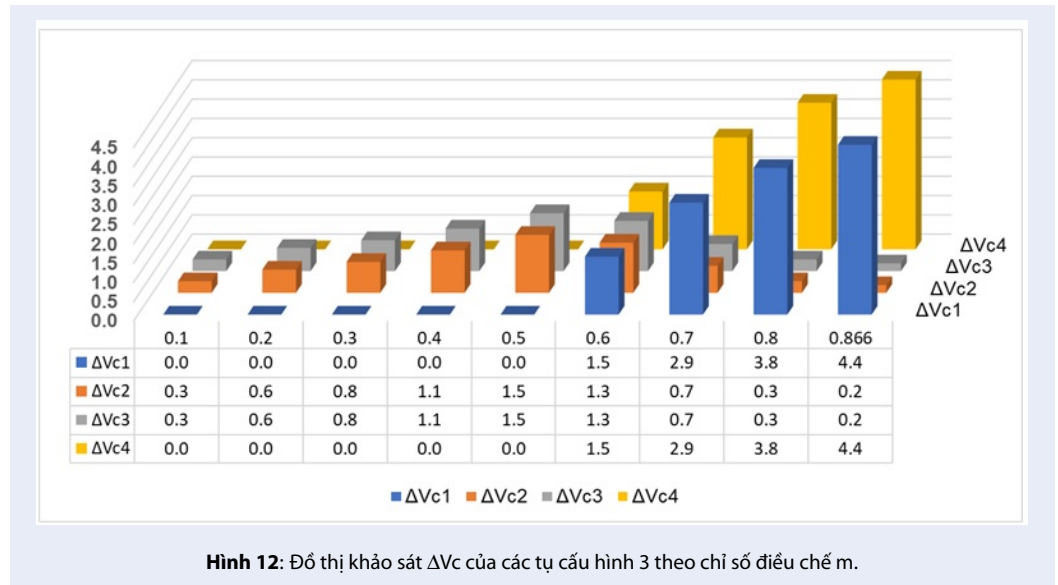
Kết quả khảo sát điện áp và dòng điện tải khi áp dụng kỹ thuật PWM với Offset trung bình với chỉ số điều chế $m=0.2$ được mô tả ở đồ thị Hình 14 a, b, c.

Kết quả phân tích ở Hình 14a cho thấy điện áp trên các tụ $V_{C1}=175.1V, V_{C2}=174.3V, V_{C3}=175.7V$ và $V_{C4}=174.9V$ gần với giá trị danh định 175V, sai



Bảng 3: Kết quả khảo sát ổn định điện áp tụ cấu trúc 3 theo chỉ số điều chế

Chỉ số m	ΔV_{c1}	ΔV_{c2}	ΔV_{c3}	ΔV_{c4}
0.1	0.0	0.3	0.3	0.0
0.2	0.0	0.6	0.6	0.0
0.3	0.0	0.8	0.8	0.0
0.4	0.0	1.1	1.1	0.0
0.5	0.0	1.5	1.5	0.0
0.6	1.5	1.3	1.3	1.5
0.7	2.9	0.7	0.7	2.9
0.8	3.8	0.3	0.3	3.8
0.866	4.4	0.2	0.2	4.4

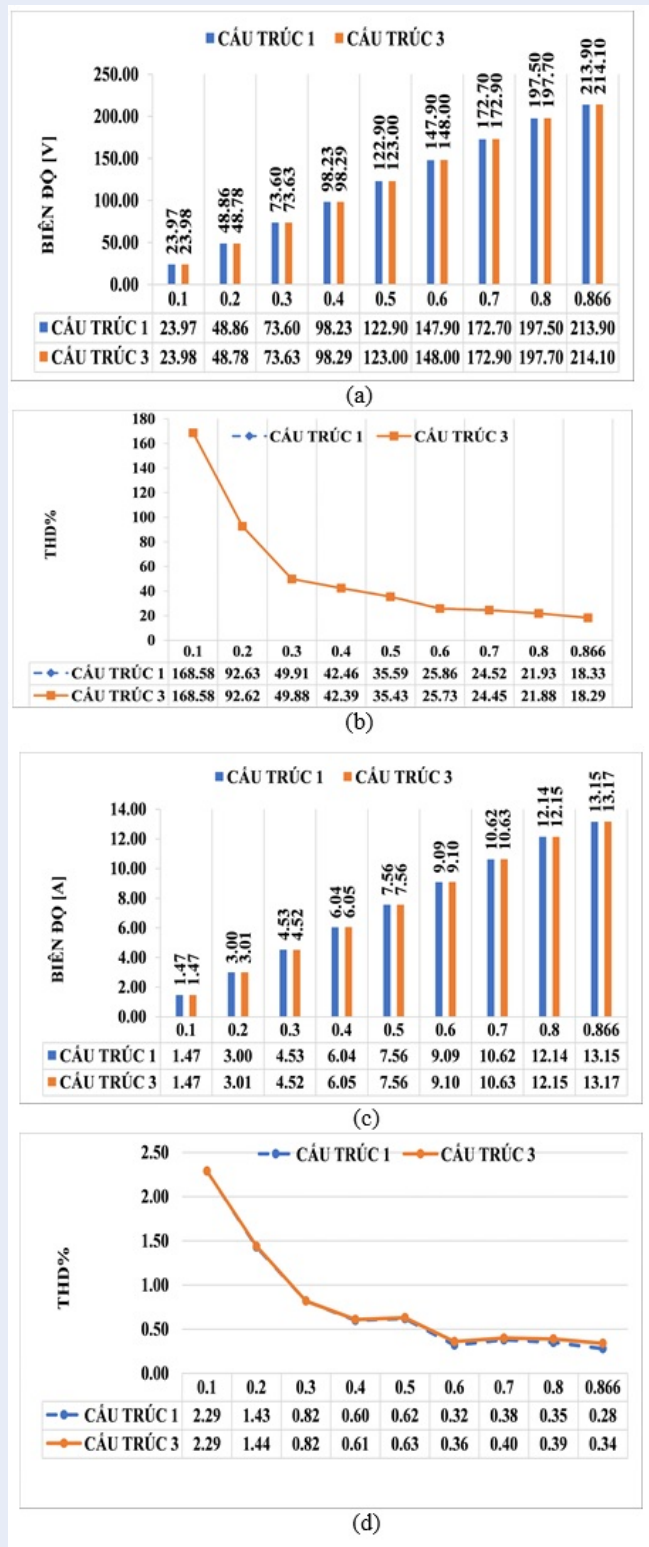


Bảng 4: Kết quả khảo sát THD%, biên độ hài cơ bản điện áp và dòng điện tải cấu trúc 1

Chỉ số m	V_{ta}	THD_V%	I_a	THD_I%
0.1	23.97	168.58	1.47	2.29
0.2	48.86	92.63	3.00	1.43
0.3	73.60	49.91	4.53	0.82
0.4	98.23	42.46	6.04	0.60
0.5	122.90	35.59	7.56	0.62
0.6	147.90	25.86	9.09	0.32
0.7	172.70	24.52	10.62	0.38
0.8	197.50	21.93	12.14	0.35
0.866	213.90	18.33	13.15	0.28

Bảng 5: Kết quả khảo sát THD%, biên độ điện áp và dòng điện cấu trúc 3

Chỉ số m	V_{ta}	THD_V%	I_a	THD_I%
0.1	23.98	168.58	1.47	2.29
0.2	48.78	92.62	3.01	1.44
0.3	73.63	49.88	4.52	0.82
0.4	98.29	42.39	6.05	0.61
0.5	123.00	35.43	7.56	0.63
0.6	148.00	25.73	9.10	0.36
0.7	172.90	24.45	10.63	0.40
0.8	197.70	21.88	12.15	0.39
0.866	214.10	18.29	13.17	0.34



Hình 13: Kỹ thuật SinPWM kết quả so sánh áp và dòng điện pha tải giữa cấu trúc 1 và 3 theo chỉ số m: a) Biên độ hài cơ bản áp tải, b) THD% điện áp tải, c) Biên độ hài cơ bản dòng tải, d) THD% dòng tải.

số điện lớn nhất 0.7V. Dòng điện ngõ ra sin với THD%=1.32% thể hiện ở Hình 14b và Hình 14c.

Kết quả khảo sát điện áp và dòng điện khi áp dụng kỹ thuật Offset trung bình với chỉ số điều chế $m=0.8$ được mô tả ở đồ thị Hình 15a, b, c.

Kết quả phân tích BNL cấu trúc 3 bằng kỹ thuật Offset trung bình với chỉ số $m=0.8$ ở Hình 15a cho thấy điện áp trên các tụ $V_{C1} = 171V$, $V_{C2} = 177V$, $V_{C3} = 173V$ và $V_{C4} = 179V$ gần với giá trị danh định 175V, sai số điện lớn nhất 4V. Dòng điện pha tải sin với độ méo dạng THD%=0.31% như Hình 15b và Hình 15c.

Như vậy, kết quả khảo sát và kiểm chứng bằng mô phỏng trên Matlab/Simulink cho thấy, phương án sử dụng 2 nguồn thì cấu hình 3 với nguồn DC phụ bằng $V_d/2$, duy trì áp trên các tụ DC gần như không đổi. Điều đó giúp cho việc áp dụng các kỹ thuật điều khiển độ rộng xung đạt chất lượng tương đương với bộ nghịch lưu NPC trang bị 4 nguồn DC lý tưởng.

KẾT LUẬN

Bài báo đề xuất cấu hình BNL diode kẹp lai mới, bằng cách sử dụng 2 nguồn DC độc lập. Việc phân tích mạch cho thấy các trạng thái hoạt động của BNL mới thay đổi không đáng kể so với BNL NPC truyền thống 5 bậc. Do đó, có thể áp dụng các phương pháp điều khiển PWM phổ biến. Kết quả mô phỏng cho thấy, cấu hình BNL lai với điện áp nguồn DC phụ $V_d/2$ của cấu hình 3 có điện áp trên các tụ sai lệch nhỏ xung quanh giá trị danh định với mọi giá trị chỉ số điều chế. Điều này giúp cho đặc tính điều khiển, độ méo dạng điện áp và dòng điện ngõ ra đạt chất lượng cao gần bằng với cấu hình 5 bậc NPC lý tưởng.

Mô hình thực nghiệm hiện đang được lắp đặt. Các kỹ thuật điều khiển tối ưu tổn hao, giảm điện áp common mode và đánh giá hiệu suất hệ thống bộ biến đổi sẽ được nghiên cứu trong các công trình tiếp theo.

L ỜI CẢM ƠN

Nghiên cứu này được tài trợ bởi Đại học Quốc gia Thành phố Hồ Chí Minh (ĐHQG-HCM) trong khuôn khổ Đề tài mã số C2021-20-12

DANH MỤC TỪ VIẾT TẮT

NPC: Neutral-Point Clamped
 FLC: Flying capacitor inverter
 SinPWM: Sin Pulse Width Modulation
 BNL: Bộ nghịch lưu

XUNG ĐỘT LỢI ÍCH

Nhóm tác giả xin cam đoan rằng không có bất kỳ xung đột lợi ích nào trong công bố bài báo.

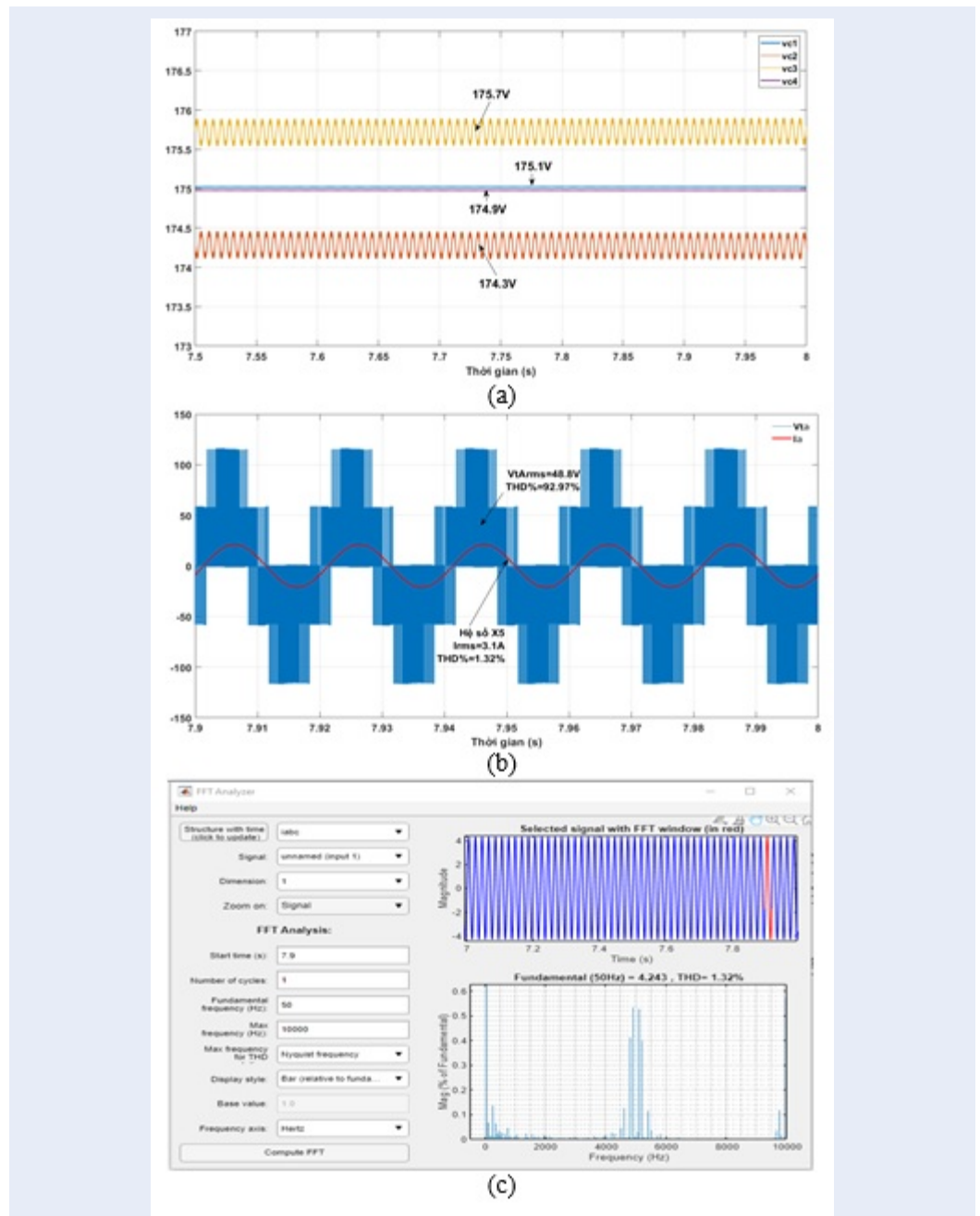
ĐÓNG GÓP CỦA CÁC TÁC GIẢ

Nguyễn Phước Lộc, Bùi Thanh Hiếu phân tích mạch, thực hiện mô phỏng, thu thập và phân tích số liệu, viết bản thảo.

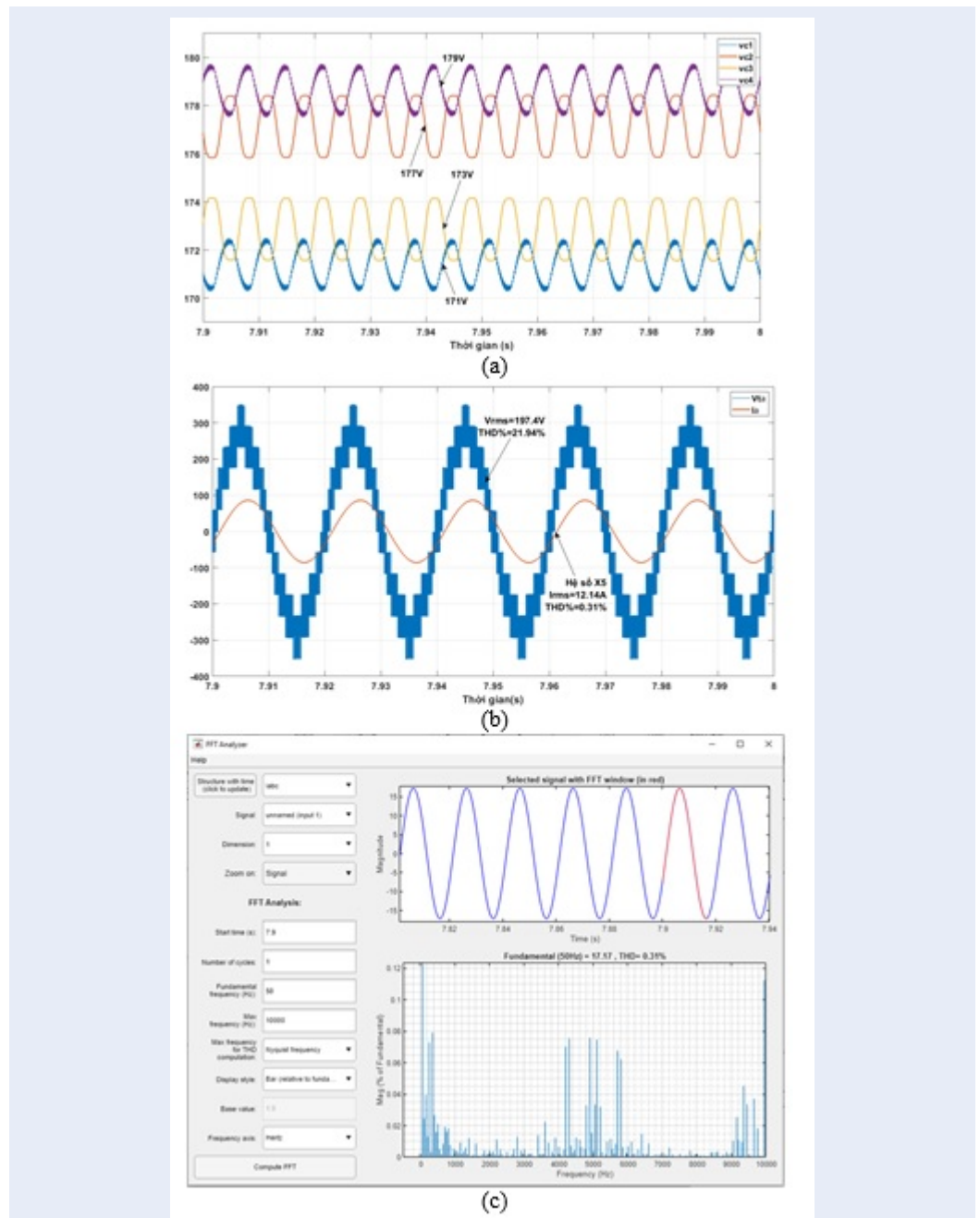
Nguyễn Văn Nhờ đưa ra ý tưởng nghiên cứu, phân tích mạch, hướng dẫn nội dung thực hiện, viết bản thảo, đánh giá kết quả, sửa và hiệu đính bài báo.

TÀI LIỆU THAM KHẢO

1. Wu B. "High-Power Converters and ac Drives," High-Power Convert. AC Drives, pp. 1-332, IEEE Transactionson Power Electronics. 2005; Available from: <https://doi.org/10.1002/0471773719>.
2. Franquelo LG, et al. The age of multilevel converters arrives. IEEE Transactions On Industrial Electronics. 2008;2(2):28–39. Available from: <https://doi.org/10.1109/MIE.2008.923519>.
3. Rodriguez J, et al. Multilevel inverters: A survey of topologies, controls, and applications. IEEE Transactions On Industrial Electronics. 2002;49(4):724–738. Available from: <https://doi.org/10.1109/TIE.2002.801052>.
4. Kouro S, et al. Recent Advances and Industrial Applications of Multilevel Converters. IEEE Transactions On Industrial Electronics. 2010;57(8):2553–2580. Available from: <https://doi.org/10.1109/TIE.2010.2049719>.
5. Yang Y. Computation-Efficient Model Predictive Control With Common-Mode Voltage Elimination for Five-Level ANPC Converters. IEEE Trans. Transport Electric. 2020;6(3):970–984. Available from: <https://doi.org/10.1109/TTE.2020.2996608>.
6. Hatti N, et al. Five-level diode-clamped PWM converters connected back-to-back for motor drives. IEEE Transactions On Industrial Electronics. 2008;44(4):1268–1276. Available from: <https://doi.org/10.1109/TIA.2008.926290>.
7. Marquardt R. Modular Multilevel Converters: State of the Art and Future Progress. IEEE Transactions On Industrial Electronics. 2018;5(4):24–31. Available from: <https://doi.org/10.1109/MPEL.2018.2873496>.
8. Hasegawa K, Akagi H. Low-modulation-index operation of a five-level diode-clamped PWM inverter with a dc-voltage-balancing circuit for a motor drive. IEEE Transactions On Industrial Electronics. 2012;27(8):3495–3504. Available from: <https://doi.org/10.1109/TPEL.2012.2185068>.
9. Soeiro TB, et al. Three-phase five-level Active Neutral Point Clamped Converters for Medium Voltage Applications. in Proc. Brazilian Power Electron. Conf., Oct. 2013;27(31):85–91. Available from: <https://doi.org/10.1109/COBEP.2013.6785099>.
10. Barbosa P, et al. Active neutral-point-clamped multilevel converters. in Proc. 36th IEEE Power Electron. Spec. Conf. 2005;p. 2296–2301.
11. Li J, et al. A space vector pulse width modulation for five-level nested neutral point piloted converter. IEEE Trans. Power Electron. 2017;32(8):5991–6004. Available from: <https://doi.org/10.1109/TPEL.2016.2618931>.
12. Fazel S, et al. Design and comparison of 4-kV neutral-point-clamped, flying-capacitor, and series-connected H-bridge multilevel converters. IEEE Trans. Ind. Appl. 2007;43(4):1032–1040. Available from: <https://doi.org/10.1109/TIA.2007.900476>.
13. Akagi H, et al. A 6.6-kV Transformerless STATCOM Based on a Five-Level Diode-Clamped PWM Converter: System Design and Experimentation of a 200-V 10-kVA Laboratory Model. IEEE Trans. Ind. Appl. 2008;44(2):672–680. Available from: <https://doi.org/10.1109/TIA.2008.916713>.
14. Yaramasu V, et al. A New Power Conversion System for Megawatt PMSG Wind Turbines Using Four-Level Converters and a Simple Control Scheme Based on Two-Step Model Predictive Strategy - Part I: Modeling and Theoretical Analysis. IEEE Journal of Emerging and Selected Topics in Power Electronics. 2014;2(1):3–13. Available from: <https://doi.org/10.1109/JESTPE.2013.2282516>.



Hình 14: Kỹ thuật PWM với offset trung bình -kết quả phân tích điện áp và dòng điện pha tải của cấu hình 3, với chỉ số $m=0.2$: a) Điện áp trên tụ $V_{C1}, V_{C2}, V_{C3}, V_{C4}$, b) đồ thị dòng điện, điện áp pha tải, c) FFT dòng tải.



Hình 15: Kỹ thuật PWM với offset trung bình- kết quả phân tích điện áp và dòng điện pha tải cấu hình 3 với chỉ số $m=0.8$: a) Điện áp trên tụ $V_{C1}, V_{C2}, V_{C3}, V_{C4}$, b) đồ thị dòng điện, điện áp pha tải, c) FFT dòng tải.

15. Yaramasu V, et al. Model-Predictive Control of Grid-Tied Four-Level Diode-Clamped Inverters for High-Power Wind Energy Conversion Systems. *IEEE Transactions on Power Electronics*. 2014;29(6):2861–2873. Available from: <https://doi.org/10.1109/TPEL.2013.2276120>.
16. Pou J, et al. Voltage-Balance Limits in Four-Level Diode-Clamped Converters With Passive Front Ends. *IEEE Transactions on Industrial Electronics*;
17. Hasegawa K, Akagi H. Low-Modulation-Index Operation of a Five-Level Diode-Clamped PWM Inverter With a DC-Voltage-Balancing Circuit for a Motor Drive. *IEEE Transactions on Power Electronics*. 2012;27(8):3495–3504. Available from: <https://doi.org/10.1109/TPEL.2012.2185068>.
18. Siwakoti YP, et al. Analysis and Design of a Novel Six-Switch Five-Level Active Boost Neutral Point Clamped Inverter. *IEEE Transactions on Industrial Electronics*. 2020;67(12):10485–10496. Available from: <https://doi.org/10.1109/TIE.2019.2957712>.
19. Ye Y, et al. Neutral-Point-Clamped Five-Level Inverter with Self-Balanced Switched-Capacitor. *IEEE Transactions on Industrial Electronics*, 2021;.
20. Wang K, et al. Neutral-Point Voltage Balancing Method for Five-Level NPC Inverters Based on Carrier-Overlapped PWM. *IEEE Transactions on Power Electronics*. 2021; Available from: <https://doi.org/10.1109/TPEL.2020.3006960>.
21. Saeedifard M, et al. Control and DC-capacitor voltage balancing of a space vector-modulated five-level STATCOM. *IEEE Transactions on Power Electronics*. 2009;2(3):203–215. Available from: <https://doi.org/10.1049/iet-pel.2008.0021>.
22. Khajehoddin SA, et al. A Simple Voltage Balancing Scheme for m-Level Diode-Clamped Multilevel Converters Based on a Generalized Current Flow Model. *IEEE Transactions on Power Electronics*. 2008;23(5):2248–2259. Available from: <https://doi.org/10.1109/TPEL.2008.2001892>.
23. Pan Z, Peng FZ. A Sinusoidal PWM Method With Voltage Balancing Capability for Diode-Clamped Five-Level Converters. *IEEE Transactions on Power Electronics*. 2009;45(3):1028–1034. Available from: <https://doi.org/10.1109/TIA.2009.2018962>.
24. Pan Z, Peng F, et al. Voltage balancing control of diode-clamped multilevel rectifier/inverter systems. *IEEE Transactions on Power Electronics*. 2005;41(6):1698–1706. Available from: <https://doi.org/10.1109/TIA.2005.857473>.
25. Liu Z, et al. An Optimal Model Predictive Control Method for Five-Level Active NPC Inverter. *IEEE Access*. 2020; Available from: <https://doi.org/10.1109/ACCESS.2020.3043604>.
26. Dao ND, Lee DC. Operation and control scheme of a five-level hybrid inverter for medium-voltage motor drives. *IEEE Trans. Power Electron*. 2018;33(12):10178–10187. Available from: <https://doi.org/10.1109/TPEL.2018.2811182>.
27. Zhang L, et al. A Si/SiC Hybrid Five-Level Active NPC Inverter With Improved Modulation Scheme. *IEEE Trans. Power Electron*. 2020;35(5):4835–4846. Available from: <https://doi.org/10.1109/TPEL.2019.2944688>.
28. Bahrami A, Narimani M. A New Five-Level T-Type Nested Neutral Point Clamped (T-NNPC) Converter. *IEEE Trans. Power Electron*. 2019;34(11):10534–10545. Available from: <https://doi.org/10.1109/TPEL.2019.2898419>.
29. Li W, et al. Implementation of Five-Level DPWM on Parallel Three-Level Inverters to Reduce Common-Mode Voltage and AC Current Ripples. *IEEE Trans. Ind. Appl*. 2020;56(4):4017–4027. Available from: <https://doi.org/10.1109/TIA.2020.2991020>.
30. Zhang L, et al. A Si/SiC Hybrid Five-Level Active NPC Inverter with Improved Modulation Scheme. *IEEE Trans. Power Electron*. 2020;35(5):4835–4846. Available from: <https://doi.org/10.1109/TPEL.2019.2944688>.
31. Pineda WA, et al. Modified Five-Level ANPC Inverter with Output Voltage Boosting Capability. in *Proc. 45th Annu. Conf. IEEE Ind. Electron. Soc., Lisbon, Portugal*. 2019;p. 3355–3360. Available from: <https://doi.org/10.1109/IECON.2019.8927473>.
32. Wang H, et al. A New Six-Switch Five-Level Active Neutral Point Clamped inverter for PV Applications. *IEEE Trans. Power Electron*. 2017;32(9):6700–6715. Available from: <https://doi.org/10.1109/TPEL.2016.2623568>.
33. Burguete E, et al. A New Five-Level Active Neutral-Point-Clamped Converter With Reduced Overvoltages. *IEEE Trans. Ind. Electron*. 2016;63(11):7175–7183. Available from: <https://doi.org/10.1109/TIE.2016.2557308>.

A novel five-level neutral-point-clamped inverter with an auxiliary DC source

Loc-Phuoc Nguyen¹, Hieu-Thanh Bui¹, Nho-Van Nguyen^{2,*}



Use your smartphone to scan this QR code and download this article

ABSTRACT

Multi-level inverters have drawn much attention from researchers and industry, in which 3-level inverters have been widely used in practice. One of the most interesting issues is to increase the number of levels to achieve higher performances such as large power, high voltage and low harmonic distortion. Basic multilevel inverter configurations such as neutral point clamping diodes, flying capacitor clamping, and cascaded inverters have their own disadvantages when increasing the number of levels. To overcome these problems, different hybrid multilevel inverters have been proposed. As results, there are a lot of five-level hybrid inverters designed for practical applications. This paper proposes a new hybrid 5-level neutral point clamped inverter by adding auxiliary DC source. The novel hybrid inverter shows its performances comparable to the ideal NPC inverter fed by 4 ideal DC sources, and requires hardware simpler than cascaded and flying multilevel inverters. It has a good ability of self-balancing of the voltages across the DC capacitors. Consequently, simple and effective PWM control strategies can be utilized that enables achieving high working performances. The paper content consists of analyzing of the proposed hybrid inverter configuration, investigating the voltage balance on the DC capacitors, validating control characteristics and studying output performance when applying the carrier based pulse width modulation control. The analysis and characteristics of the proposed configuration are verified through simulation results using MATLAB/SIMULINK.

Key words: Five-Level Neutral-Point Clamped inverter, Auxiliary DC sources, Sine PWM technique, DC voltage balance

¹Faculty of Electrical and Electronics Engineering, Vinh Long University of Technology Education, Vietnam

²Faculty of Electrical and Electronics Engineering, University of Technology, VNU-HCM, Vietnam

Correspondence

Nho-Van Nguyen, Faculty of Electrical and Electronics Engineering, University of Technology, VNU-HCM, Vietnam

Email: nvnho@hcmut.edu.vn

History

- Received: 09-9-2021
- Accepted: 16-11-2021
- Published: 25-12-2021

DOI : 10.32508/stdjet.v4i4.915



Copyright

© VNU-HCM Press. This is an open-access article distributed under the terms of the Creative Commons Attribution 4.0 International license.



Cite this article : Nguyen L, Bui H, Nguyen N. **A novel five-level neutral-point-clamped inverter with an auxiliary DC source.** *Sci. Tech. Dev. J. – Engineering and Technology*; 4(4):1239-1253.